

REC'D 26 AUG 2003

WIPO

PCT



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 28 905.0

Anmeldetag: 27. Juni 2002

Anmelder/Inhaber: ROBERT BOSCH GMBH, Stuttgart/DE

Bezeichnung: Verfahren und Vorrichtung zur Datenübertragung

IPC: H 04 L, H 03 M

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 10. Juli 2003
Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Faust

26.06.02 Sy/Zj

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Verfahren und Vorrichtung zur Datenübertragung

Stand der Technik

15

Die Erfindung geht aus von einem Verfahren und einer Vorrichtung zur seriellen Datenübertragung zwischen einem ersten und einem zweiten Teilnehmer gemäß den Oberbegriffen der unabhängigen Ansprüche.

20

Dazu zeigt die DE 34 45 617 A1 ein Verfahren und eine Anordnung zur seriellen Übertragung der digitalen Messwerte eines Messwertwandlers. Darin sind Schieberegister bekannt, die eine Parallel/Seriell-Wandlung vornehmen, um die Informationen zu übertragen. Dabei handelt es sich um einen diskreten Baustein bzw. diskrete Bausteine, die von einer Logik bzw. Steuerung gesteuert werden müssen. D.h., die Verarbeitungseinheit selbst bzw. die CPU, insbesondere des sendenden Teilnehmers, wird durch die Übertragung belastet. Im genannten Stand der Technik steuert somit die Verarbeitungseinheit oder CPU durch eine spezielle Taktimpulsfolge die Datenübertragung (vgl. auch SPI-Interface bzw. SCI-Interface).

30

Für serielle Schnittstellen muss ein Busprotokoll implementiert werden, bzw. die Sende-/Empfangsregister müssen von der CPU bedient werden. Darüber hinaus erfolgt bei den genannten seriellen Schnittstellen in der Regel eine Übertragung von Informationen, die nur geringen Zeitbezug aufweisen, also Probleme bezüglich der Echtzeitfähigkeit mit sich bringen. Es erfolgt somit keine harte Kopplung von der CPU Zeitbasis (timebase) zum Pinstatus.

Somit zeigt sich, dass der Stand der Technik nicht in jeder Hinsicht optimale Ergebnisse zu liefern vermag. Es stellt sich somit die Aufgabe, eine serielle Datenübertragung zu realisieren, bei welcher einerseits die CPU nicht belastet wird und zum anderen trotzdem die Echtzeitfähigkeit garantiert werden kann.

Vorteile der Erfindung

Diese Aufgabe wird gelöst durch ein Verfahren und eine Vorrichtung zur seriellen Datenübertragung zwischen einem ersten und einem zweiten Teilnehmer, wobei der erste Teilnehmer wenigstens zwei Signale auf zwei Signalpfaden unidirektional zu dem zweiten Teilnehmer überträgt und in jedem Teilnehmer ein Schieberegister vorgesehen ist, wobei die zwei Signalpfade des ersten Teilnehmers parallel in ein Schieberegister geführt werden und die Datenübertragung zu dem zweiten Teilnehmer durch eine automatische Taktung der Schieberegister aus einer Zeitbasis erfolgt.

D.h., bei einem Teilnehmer, insbesondere einem μ Controller, dass dieser Schaltungsteile integriert hat, die es erlauben, Echtzeitsignale ohne CPU-Interaktion zu übertragen. Beispiele für solch Echtzeitsignale sind hier Zündung, Einspritzung und digitale Ausgänge von Sensoren, welche die Information z.B. über ein pulswertenmoduliertes Signal an den Endstufen-IC übertragen werden. Auf dem empfangenden Teilnehmer, beispielsweise einer Endstufe, sind die Leistungstreiber integriert, die durch die CPU-Einheiten auf einzelnen Signalleitungen angesteuert werden. Eine Integration der Schaltungsteile für die Echtzeitverarbeitung auf dem zweiten Teilnehmer, also insbesondere der Endstufe, bringt insofern Probleme mit sich, da diese Schaltungsteile in einem Bipolarprozess zur Herstellung sehr groß werden und auf dem μ Controller im System selbst kostengünstiger darstellbar sind. Daneben ist in der Regel ohnehin eine serielle Schnittstelle vorhanden vom ersten zum zweiten Teilnehmer, insbesondere vom μ Controller zu den Endstufen, über welche z.B. die Diagnose gelesen wird (SPI-Interface).

Üblicherweise erfüllt aber eine solche vorhandene Schnittstelle wie oben genannt keine Echtzeitanforderungen und damit wirft diese Probleme auf, die Informationen über die serielle Schnittstelle zu übertragen und damit auch eine Vielzahl an Pins, sowohl am Rechner als auch im zweiten Teilnehmer, zu sparen. Darüber hinaus würde aber ein Hinzufügen von Zeitgebern oder Timern im zweiten Teilnehmer zur Herstellung der

Echtzeitfähigkeit die Systemkosten stark erhöhen und das System deutlich komplexer machen, insbesondere dadurch, dass die Schnittstelle zwischen CPU und Endstufe, also zwischen erstem und zweitem Teilnehmer, eine zusätzliche Latenzzeit aufweist.

5 Vorteilhafterweise wird nun ein Schieberegister eingesetzt, von welchem die serielle, insbesondere die bereits vorhandene serielle Schnittstelle bedient werden kann, wobei die genannte automatische Taktung des Schieberegisters aus einer Zeitbasis, insbesondere des ersten Teilnehmers, derart erfolgt, dass dem Schieberegister ein Taktsignal der Zeitbasis zugeführt wird und das Schieberegister mit diesem Taktsignal automatisch die Daten überträgt. Damit erfolgt im Gegensatz zum Stand der Technik keine Software-
10 getriggerte serielle Datenübertragung, sondern durch einen kontinuierlichen Hardware-Trigger aus genannter Zeitbasis, insbesondere einem Zeitgeberbaustein, welcher automatisch in festen Abständen ein Zeitsignal erzeugt und damit den Takt für die Datenübertragung generiert. Da hierfür auch ein bereits vorhandener Zeitgeberbaustein
15 verwendet werden kann, ist mit Hinzufügung der Schieberegister und der Umleitung der Signalpfade eine einfache Möglichkeit gegeben, ohne Software-Aufwand sowie ohne CPU-Belastung eine Vielzahl von Signalen statt parallel über eine vorhandene serielle Schnittstelle zu übertragen und trotzdem die benötigten Echtzeitforderungen zu erfüllen.

20 Dies wird auch dadurch erreicht, dass die automatische Taktung mit einer Taktrate erfolgt, die wenigstens doppelt so hoch ist wie eine Signalrate, welche sich aus der Auflösung des Signals der wenigstens zwei Signale ergibt, das die höhere Auflösung besitzt.

In einer weiteren Ausführungsform kann die automatische Taktung und damit die Taktrate insbesondere so vorgegeben werden, dass sich die aus der Taktrate ergebende Taktzeit gleich oder kleiner als eine Flankenzeit der zu übertragenden Signale ergibt. D.h., dass bei einer steigenden oder fallenden Flanke eines Signals dieser Pegelwechsel in jedem Falle durch den Schieberegistertakt im Rahmen der seriellen Datenübertragung
30 erfasst wird.

Vorteilhafterweise weisen dabei die wenigstens zwei Signale jeweils einen High-Signalpegel und einen Low-Signalpegel auf, wobei die High-Signalpegel und die Low-Signalpegel der wenigstens zwei Signale jeweils innerhalb vorgegebbarer Toleranzen gleich
35 sind. Dies deshalb, da die Signale parallel dem Schieberegister zugeführt werden und

damit je Registerzelle nach der seriellen Übertragung die High- oder Low-Signalerfassung vereinfacht ermöglicht wird.

5 Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus der nachfolgenden Beschreibung sowie den Merkmalen der Ansprüche.

Zeichnung

10 Die Erfindung wird im Weiteren anhand der in der Zeichnung dargestellten Figuren näher erläutert.

Dabei zeigt Figur 1 eine Standardanordnung mit zwei Teilnehmern und parallelen Signalpfaden zur Datenübertragung.

15 Figur 2 zeigt eine erfindungsgemäße serielle Datenübertragung unter erfindungsgemäßigem Einsatz der Schieberegister sowie der Zeitbasis.

In Figur 3 ist der Zusammenhang zwischen serieller Übertragung durch die Schieberegister und Zeitbasis nochmals dargestellt.

20 Figur 4, bestehend aus Figur 4a und 4b, zeigt Signalverläufe zur Verdeutlichung des Übertragungsverhaltens.

Beschreibung der Ausführungsbeispiele

30 Figur 1 zeigt einen ersten Teilnehmer 100 und einen zweiten Teilnehmer 101, insbesondere einen μ Controller 100 bzw. eine Steuereinheit und eine Endstufe 101. Darin werden über Leitungen L1 bis L4 Signale an die Leistungstreiber T1 bis T4 der Endstufe 101 übertragen. Durch die parallele Übertragung sind beim ersten Teilnehmer 100 Pins P1 bis P4 und bei der Endstufe 101 Pins P1E bis P4E nötig. Die dabei an die Leistungstreiber T1 bis T4 übertragenen Signale sind wie vorher schon genannt beispielsweise ohne CPU-Interaktion zu verarbeitende Echtzeitsignale wie Zündung, Einspritzung und digitale Sensorausgänge im Rahmen einer Motorsteuerung. Gleichzeitig ist eine serielle Schnittstelle 104 mit einem Sendeteil 102 und einem Empfangsteil 103

dargestellt, vom μ Controller zu den Endstufen 101, über die beispielsweise die Diagnose gelesen wird.

5 Aus Gründen der Übersichtlichkeit sind hier vier Übertragungswege der Signale L1 bis L4 mit Pins P1 bis P4 bzw. P1E bis P4E und Treiberbausteinen T1 bis T4 dargestellt. Natürlich ist die Erfindung bei beliebiger insbesondere größeren Anzahl der Übertragungswege (z. B. 20 bis 30) gleichermaßen einsetzbar, wobei je höher diese Anzahl der Übertragungswege und damit die Pinanzahl wäre, desto größer ist der Vorteil, insbesondere der Kostenvorteil, der sich aus dieser erfindungsgemäßen Pineinsparung ergibt

10 Die Herausforderung ist nun die, über eine serielle Schnittstelle die Informationen unter Echtzeitgesichtspunkten zu übertragen und damit zum einen die vielen Pins P1 bis P4 und P1E bis P4E zu sparen und gleichzeitig die CPU (Central Processing Unit) des μ Controllers 100 zu entlasten.

15 Dies ist erfindungsgemäß durch Figur 2 realisierbar. Dabei ist vorgesehen, ein serielles Schieberegister 206, das μ Controllerintern von den Timerausgängen angesteuert wird, einzusetzen, um die Parallel/Seriell-Wandlung durchzuführen. Dabei wird der Takt für das Schieberegister so hoch gewählt, dass eine bestimmte Anzahl an Bits in sehr kurzer Zeit übertragen werden können. Beispielsweise 16 Bit in 1 μ s. In der Endstufe 201 findet dann wieder eine Parallel/Seriell-Wandlung statt, wodurch mit dem gewandelten Signal die Endstufen-Transistoren T1 bis T4 in dem Endstufentyp angesteuert werden können. D.h., die Taktzeit ist die Zeit, die erforderlich ist, um alle Zellen des Schieberegisters einmal zu übertragen bzw. durchzuschieben.

20 Im genannten Beispiel in Figur 2 werden somit die Pins P2 bis P4 und P2E bis P4E gespart, wobei prinzipiell auch eine Einsparung des Pins P1 und P1E ebenfalls erfindungsgemäß möglich ist, indem die Signalfade L2 bis L4 dem Schieberegister 206 zugeleitet werden. Des Weiteren werden dem Schieberegister die Zeitsignale der Zeitbasis 205, insbesondere eines Zeitgeberbausteins, zugeführt. Das Schieberegister 206 selbst hat dann wieder eine Verbindung zum Sendebaustein 202 der seriellen Schnittstelle 204, über welche dann der Dateninhalt des Schieberegisters seriell zum Empfangsbaustein 203 übertragen wird. Dieser gibt diese Daten an das Schieberegister 207 in der Endstufe 201 aus, von wo aus sie über Leitungen L2E, L3E und L4E, also

quasi die umgeleiteten Signalfade, an die Treiberbausteine T2 bis T4 übertragen werden. Dabei entspricht die serielle Schnittstelle 204 ebenso wie 104 einer üblichen Schnittstelle, über die ein Synchronisationssignal TSYNC, eine Clock TCLK sowie das eigentliche Signal über die Übertragungsverbindung TX0 übertragen werden.

Figur 3 zeigt nochmals angedeutet und symbolisch vereinfacht dargestellt die Schieberegister 206 und 207 mit jeweils drei Registerzellen 210 bis 212 und 213 bis 215. Dabei gehen die Signalfade L2 bis L4 des ersten Teilnehmers 200 entsprechend in die Registerzellen 210 bis 212, wobei die übertragenen Signale dann aus den Registerzellen 213 bis 215 via der Signalfade L4E, L3E und L2E an die Treiberbausteine ausgegeben werden. Mit 205 ist wieder die Zeitbasis bzw. der Zeitgeberbaustein dargestellt, welcher mit den Registerzellen verbunden ist und damit den automatischen Takt zur Weiterreichung der Registerzelleninhalte ermöglicht und generiert. Als Zeitgeberbaustein wird beispielsweise ein Quarz oder ein Voltage-Controll-Oscillator VCO oder ähnliches eingesetzt, welcher durch einen nachgeschalteten Zählerbaustein oder Counter auch einstellbar bezüglich des ausgegebenen Taktes realisiert werden kann. Somit werden die Signalfade über die genannten Register 206 und 207 bzw. die entsprechenden Registerzellen 210 bis 215 geführt. Durch diese direkte Verbindung der Timerausgänge mit dem Schieberegister ist somit keine Software-Interaktion mehr notwendig und damit auch keine Performance, insbesondere CPU-Performance, aufzuwenden. Es erfolgt also keine Software-Triggerung, sondern eine direkte Art der Triggerung aus einer Zeitbasis. Dadurch ergibt sich auf einer entsprechenden Leiterplatte durch die geringere Anzahl der Verbindungen auch eine geringere Entflechtungsfläche.

Anhand der Figur 4, bestehend aus den Figuren 4a und 4b, soll nun nochmals das Übertragungsverhalten, insbesondere die sich daraus ergebenden Vorteile, erläutert werden. Dazu sind in Figur 4a und 4b zwei Signalverläufe 400 und 404 über der Zeit dargestellt. Signal 400 zeigt ein pulswidenmoduliertes Signal mit festen Zeitfenstern von T0A bis T2A und von T2A bis T6A, in welchen pulswidenmodulierte Signale übertragen werden. So ergibt sich von T0A bis T1A ein High-Signalpegel und von T1A bis T2A ein Low-Signalpegel sowie von T2A bis T5A ein High-Signalpegel und von T5A bis T6A ein Low-Signalpegel. Dieses Signal liegt beispielsweise über Signalfad L4 am Schieberegister an. Die notwendige Taktrate ergibt sich nun aus der Breite der Zeitfenster und der entsprechenden Auflösung. Wird beispielsweise mit 8 Bit aufgelöst, so erhält man Abtastabschnitte, die der Zeitfensterbreite geteilt durch 2^8 , also 256, entsprechen.

Die automatische Taktung bzw. die entsprechende Taktrate ist nun so vorzusehen, dass die Flankenwechsel, beispielsweise bei T2A und T5A sicher erkannt bzw. übertragen werden können. Die Auflösung ist durch die Einteilungen 401 dargestellt. Kann dann noch von einer Flanke 402 oder 403 ausgegangen werden, wie hier zwischen T2A und T3A sowie T4A und T5A dargestellt, so muss die Taktzeit so gewählt werden, dass die Flanke sicher erkannt werden kann, also die sich aus der Taktrate ergebende Taktzeit wenigstens gleich oder kleiner als die Flankenzeit, also T2A bis T3A bzw. T4A bis T5A, ist.

Wird, wie in Figur 4b, von einem variablen Zeitfenster von T0B bis T5B oder einem Zeitfenster mit mehr Informationsgehalt als einem Flankenwechsel oder zwei Flankenwechseln ausgegangen, wie Signal 404, so wird die Taktrate deutlich höher gewählt, so wie im Beispiel genannt, eben 16 Bit in 1 μ s. Dadurch ändert sich dann das Systemverhalten an den Steuergerätepins bzw. den Controllerpins nicht, da die Updaterate der Information mit 1 μ s unter der spezifizierten Slew Rate, typischerweise beispielsweise 10 V/ μ s liegt.

Die Signale L1 – Lx sind in den Beispielen Synonyme für Pads/Pins des μ Controllers. Dadurch wird die übliche parallele Übertragung in eine serielle gewandelt, ohne die CPU zusätzlich zu belasten und unter Verwendung der auf dem μ Controller integrierten Peripheriemodule.

Da bei μ Controllern in neuen Siliziumtechnologien die Chipgrößen immer kleiner, bedingt durch geringere Strukturabmessungen, auf der anderen Seite die Anzahl der implementierten Funktionen wächst (die auch Ausgangspins benötigen), wird der Padabstand immer kleiner. Da zu geringe Padabstände nicht mehr mit der Bondtechnik verarbeitet werden können, gibt es zwei Lösungen:

Zum Einen das Chip größer machen und damit alle Pads in entsprechend verarbeitbarem Raster anordnen, was allerdings zu Mehrkosten führt, die in der Regel nicht akzeptabel sind. Erfindungsgemäß wird wie beschrieben die Reduktion der Anzahl der Pins durchgeführt, ohne die Funktionalität zu verringern. Durch diese Anwendung der Erfindung können die genannten Vorteile erzielt werden.

26.06.02 Sy/Zj

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Ansprüche

15

1. Verfahren zur seriellen Datenübertragung zwischen einem ersten und einem zweiten Teilnehmer, wobei der erste Teilnehmer wenigstens zwei Signale auf zwei Signalpfaden unidirektional zu dem zweiten Teilnehmer überträgt, dadurch gekennzeichnet, dass in jedem Teilnehmer ein Schieberegister vorgesehen ist, wobei die zwei Signalpfade des ersten Teilnehmers parallel in ein Schieberegister geführt werden und die Datenübertragung zu dem zweiten Teilnehmer durch eine automatische Taktung der Schieberegister aus einer Zeitbasis erfolgt.

20

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die automatische Taktung der Schieberegister aus einer Zeitbasis des ersten Teilnehmers derart erfolgt, dass dem Schieberegister ein Taktsignal der Zeitbasis zugeführt wird und das Schieberegister mit diesem Taktsignal automatisch die Daten überträgt.

25

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die automatische Taktung mit einer Taktrate erfolgt, die wenigstens doppelt so hoch ist, wie eine Signalrate, welche sich aus der Auflösung des Signals der wenigstens zwei Signale ergibt, das die höhere Auflösung besitzt.

30

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Signale als pulsweitenmodulierte Signale vorliegen.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die wenigstens zwei Signale jeweils einen High-Signalpegel und einen Low-Signalpegel aufweisen, wobei die

High-Signalpegel und die Low-Signalpegel der wenigstens zwei Signale jeweils innerhalb vorgegebbarer Toleranzen gleich sind.

5 6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die automatische Taktung mit einer Taktrate erfolgt und die sich aus der Taktrate ergebende Taktzeit gleich oder kleiner ist als eine Flankenzeit der zu übertragenen Signale.

10 7. Vorrichtung zur seriellen Datenübertragung zwischen einem ersten und einem zweiten Teilnehmer, wobei von dem ersten Teilnehmer wenigstens zwei Signale auf zwei Signalfaden unidirektional zu dem zweiten Teilnehmer übertragen werden, dadurch gekennzeichnet, dass in jedem Teilnehmer ein Schieberegister vorgesehen ist, wobei die zwei Signalfade des ersten Teilnehmers parallel in ein Schieberegister geführt werden und eine Zeitbasis enthalten ist durch welche die Datenübertragung zu dem zweiten Schieberegister des zweiten Teilnehmer durch eine automatische Taktung wenigstens des
15 ersten Schieberegisters erfolgt.

20 8. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass als Zeitbasis ein Zeitgeberbaustein vorgesehen ist, welcher automatisch in festen Abständen ein Zeitsignal erzeugt.

26.06.02 Sy/Zj

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Verfahren und Vorrichtung zur Datenübertragung

Zusammenfassung

15

Verfahren zur seriellen Datenübertragung zwischen einem ersten und einem zweiten Teilnehmer, wobei der erste Teilnehmer wenigstens zwei Signale auf zwei Signalpfaden unidirektional zu dem zweiten Teilnehmer überträgt, dadurch gekennzeichnet, dass in jedem Teilnehmer ein Schieberegister vorgesehen ist, wobei die zwei Signalpfade des ersten Teilnehmers parallel in ein Schieberegister geführt werden und die Datenübertragung zu dem zweiten Teilnehmer durch eine automatische Taktung der Schieberegister aus einer Zeitbasis erfolgt.

20

25

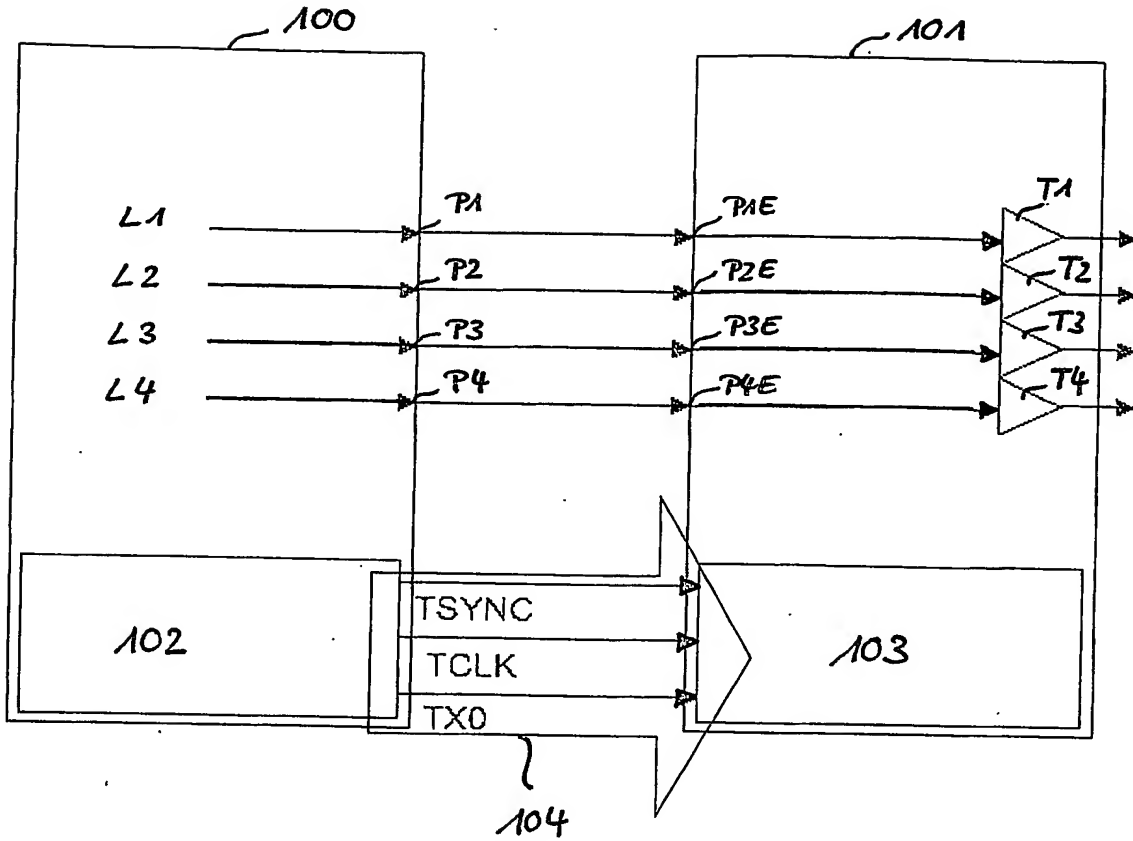


Fig. 1

2/4

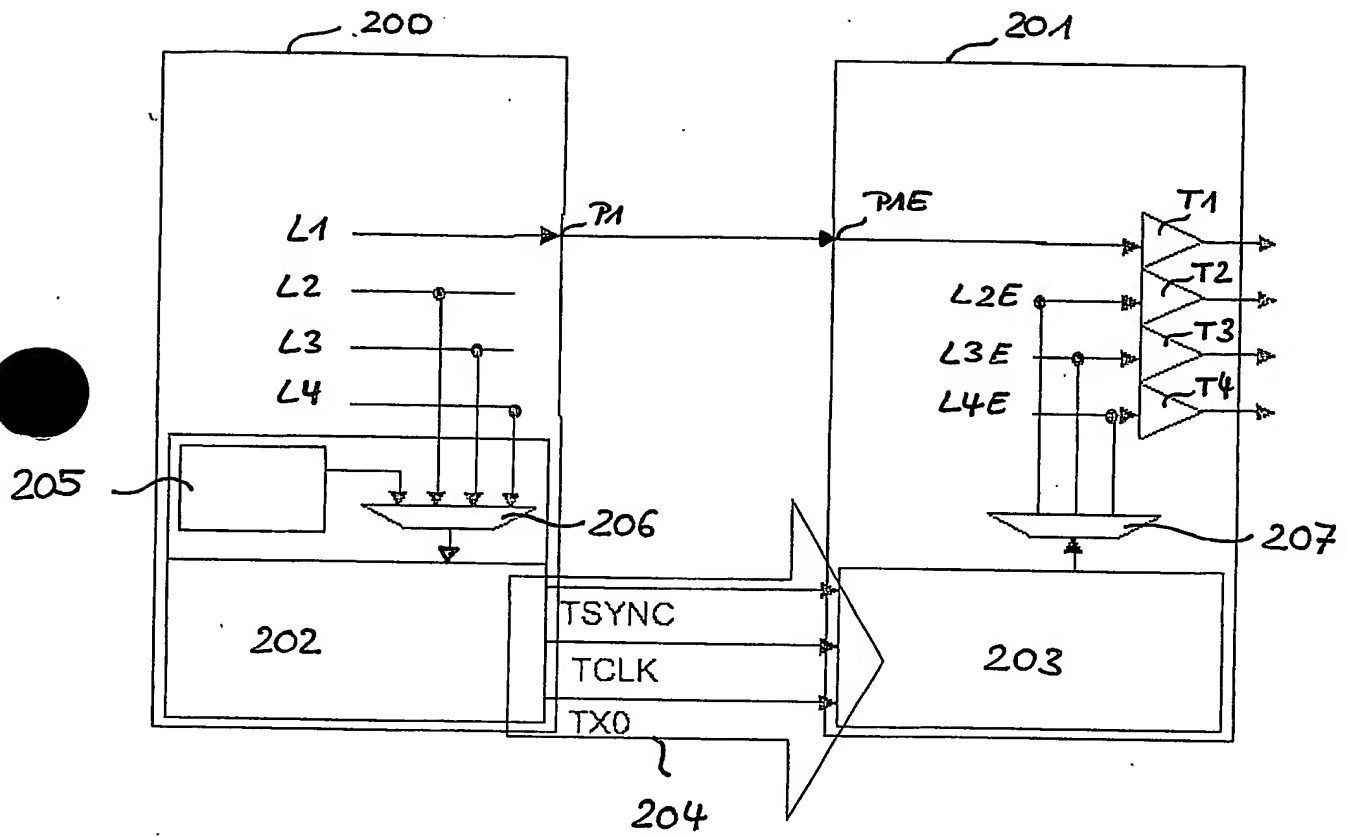


Fig. 2

3/4

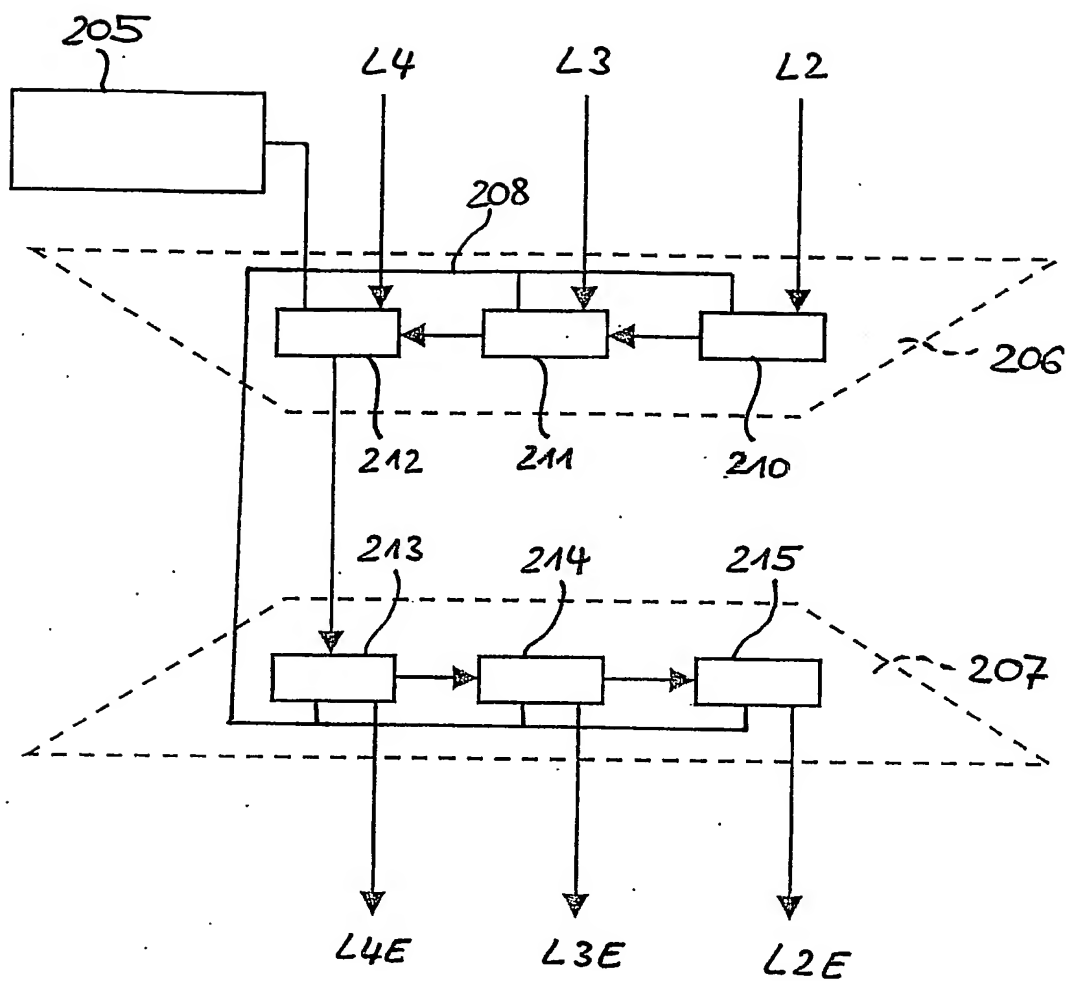


Fig. 3

4/4

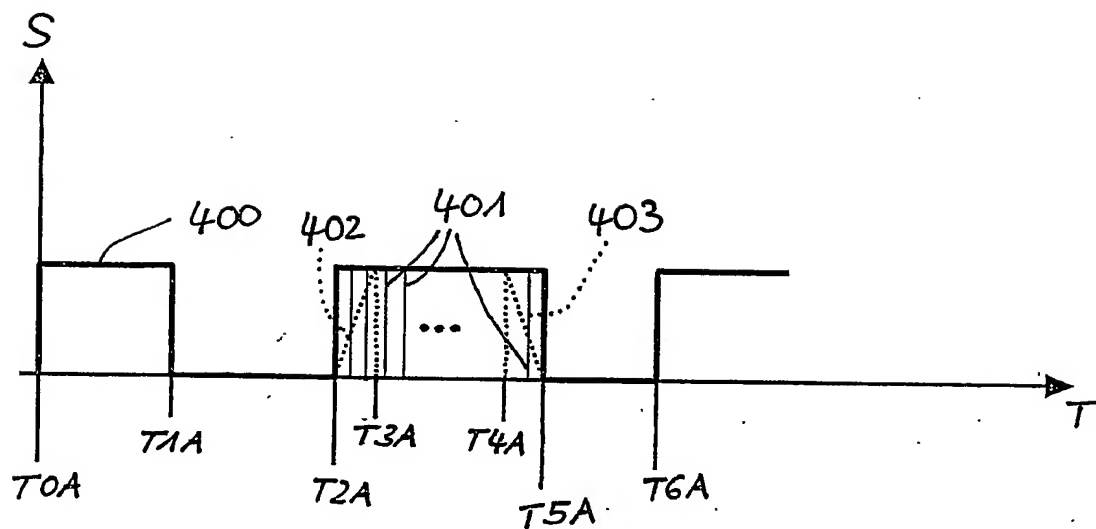


Fig. 4A

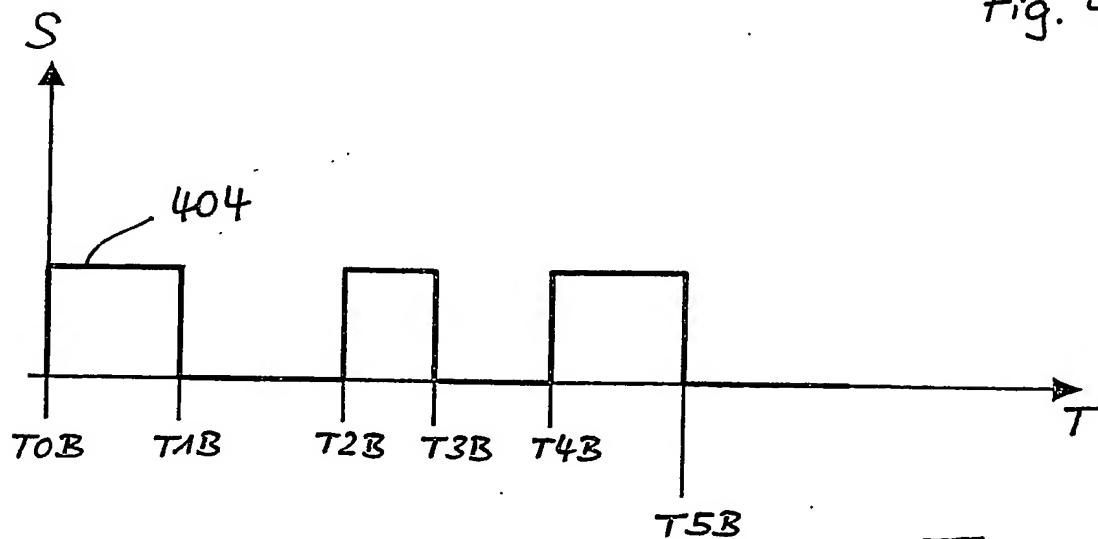


Fig. 4B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.